

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1017 U.S. PTO
10/024065
12/18/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2000年12月25日

出 願 番 号

Application Number: 特願2000-392065

出 願 人
Applicant(s):

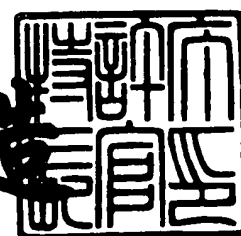
シャープ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月24日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3076668

【書類名】 特許願

【整理番号】 00J04171

【提出日】 平成12年12月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/136
G02F 1/133
G02F 1/1345
H01L 29/786

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 永田 尚志

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 野口 登

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100101683

【弁理士】

【氏名又は名称】 奥田 誠司

【手数料の表示】

【予納台帳番号】 082969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス基板および表示装置

【特許請求の範囲】

【請求項 1】 基板と、

前記基板上に形成された複数の画素電極と、

前記複数の画素電極にそれぞれ接続される画素スイッチング素子と、

前記画素スイッチング素子を駆動する複数の走査線と、

前記画素スイッチング素子を介して前記画素電極に接続されている複数の信号線と、

前記複数の信号線のそれぞれに一端が接続されている複数の信号線スイッチング素子と、

前記信号線スイッチング素子の他端に電氣的に接続された信号入力部と、

前記信号入力部と前記スイッチング素子との間に設けられた信号線分岐部と、

前記信号線スイッチング素子に接続され、前記信号線スイッチング素子の導通・非導通を切り替える制御配線と、

を備えているアクティブマトリクス基板であって、

前記信号線スイッチング素子を導通状態にすべき信号と、前記画素スイッチング素子を導通状態にすべき信号とは極性が異なっていることを特徴とする、アクティブマトリクス基板。

【請求項 2】 前記画素スイッチング素子および前記信号線スイッチング素子は、チャンネル長が略同一である薄膜トランジスタであり、

前記画素スイッチング素子のチャンネル幅と画素の静電容量との比は、前記信号線スイッチング素子のチャンネル幅と信号線の静電容量の比と略同一であることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】 前記画素スイッチング素子および前記信号線スイッチング素子は薄膜トランジスタであり、それらのチャンネル長の方向が同一であることを特徴とする、請求項 1 または 2 に記載のアクティブマトリクス基板。

【請求項 4】 前記画素スイッチング素子は N チャンネル型トランジスタおよび P チャンネル型トランジスタのうち的一方であり、前記信号線スイッチング素子は

Nチャネル型トランジスタおよびPチャネル型トランジスタの他方であることを特徴とする、請求項1から3のいずれかひとつに記載のアクティブマトリクス基板。

【請求項5】 前記画素スイッチング素子はNチャネル型トランジスタであり、前記信号線スイッチング素子はPチャネル型トランジスタであることを特徴とする、請求項4に記載のアクティブマトリクス基板。

【請求項6】 前記画素スイッチング素子はNチャネル型トランジスタおよびPチャネル型トランジスタのうち的一方で構成されており、前記信号線スイッチング素子はPチャネル型トランジスタおよびNチャネル型トランジスタが並列に接続されて構成されており、

前記信号線スイッチング素子において、前記Pチャネル型トランジスタおよび前記Nチャネル型トランジスタのうちの前記画素スイッチング素子と異なる極性を有するトランジスタが、他方のトランジスタよりも大きいチャネル長またはチャネル幅を有していることを特徴とする、請求項1から3のいずれかひとつに記載のアクティブマトリクス基板。

【請求項7】 前記画素スイッチング素子および前記信号線スイッチング素子は、いずれも、前記基板上に堆積された半導体層をトランジスタの活性領域として有している、請求項1から6のいずれかひとつに記載のアクティブマトリクス基板。

【請求項8】 基板と、
前記基板上に形成された複数の画素電極と、
前記複数の画素電極にそれぞれ接続される画素スイッチング素子と、
前記画素スイッチング素子を駆動する複数の走査線と、
前記画素スイッチング素子を介して前記画素電極に接続されている複数の信号線と、

前記複数の信号線のそれぞれに一端が接続されている複数の信号線スイッチング素子と、

前記信号線スイッチング素子の他端に電氣的に接続された信号入力部と、

前記信号入力部と前記スイッチング素子との間に設けられた信号線分岐部と、

前記複数の信号線スイッチング素子に共通に接続され、前記信号線スイッチング素子の導通・非導通を切り替える制御配線と、
を備えているアクティブマトリクス基板であって、

前記画素スイッチング素子は、Nチャネル型トランジスタおよびPチャネル型トランジスタのいずれか一方で構成されており、前記信号線スイッチング素子はNチャネル型トランジスタおよびPチャネル型トランジスタを並列に接続して構成されており、

前記信号線スイッチング素子において、前記Nチャネル型トランジスタおよび前記Pチャネル型トランジスタのうちの前記画素スイッチング素子と異なる極性を有するトランジスタが、他方のトランジスタよりも大きいチャネル長またはチャネル幅を有していることを特徴とする、アクティブマトリクス基板。

【請求項 9】 請求項 1 から 8 のいずれかに記載のアクティブマトリクス基板と、

前記アクティブマトリクス基板によって駆動される表示媒体と、
を備えている表示装置。

【請求項 1 0】 前記表示媒体が液晶層であることを特徴とする、請求項 9 に記載の表示装置。

【請求項 1 1】 表示素子を有する装置であって、
前記表示素子は、
複数の画素が行列状に配列された基板と、
前記複数の画素を駆動するための駆動回路と、
前記基板上に形成され、前記画素と前記駆動回路との間の電氣的接続状態を変化させるスイッチング手段と、
を備え、

前記スイッチング手段は、
前記画素に近い側に配置された第 1 のスイッチング素子と、
前記駆動回路に近い側に配置された第 2 のスイッチング素子とを有しており、
前記第 1 のスイッチング素子を導通状態にする信号と前記第 2 のスイッチング素子を導通状態にする信号とは極性が異なっている装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置などに用いられるアクティブマトリクス基板に関するものである。また、本発明は、このアクティブマトリクス基板を用いて製造される表示装置にも関している。

【0002】

【従来の技術】

アクティブマトリクス型液晶表示装置などの表示装置では、複数の画素電極が行列状に配列されたアクティブマトリクス基板が用いられる。アクティブマトリクス基板には、画素電極に表示信号を供給するための信号線、画素ごとに設けられたスイッチング素子（画素スイッチング素子と）、および、スイッチング素子を駆動する走査線などが設けられている。一方、アクティブマトリクス基板に対向する基板（対向基板）には、上記複数の画素に対して共通の対向電極が設けられている。

【0003】

アクティブマトリクス基板には、信号線および走査線を駆動するための外部駆動回路（ドライバ）が搭載される。外部駆動回路は、通常、アクティブマトリクス基板の製造工程とは別に製造された集積回路チップ（ICチップまたはICドライバ）の形態で利用され、信号線や走査線の本数と同数の出力端をもっている。

【0004】

このような外部駆動回路の部品点数を減らし、また、外部駆動回路の実装にかかるコストを低減するために、ICチップの数を半分ないし3分の1に減らす方法が考えられている。この方法では、外部駆動回路に接続される信号入力部の数を信号線の総数よりも少なくし（例えば半分の数に減少させ）、スイッチング素子を介して各信号入力部と複数の信号線とを接続する。

【0005】

具体的には、各信号線の端部に信号線スイッチング素子を接続し、信号線スイッチング素子の他端を外部駆動回路用の信号入力部に接続する。そして、各々の

信号入力部と、各信号入力部に割り当てられる複数のスイッチング素子との間に信号線分岐部が設けられる。

【 0 0 0 6 】

信号線スイッチング素子の制御端（ゲーディング部）には、スイッチング素子の導通・非導通を切り替える制御配線が複数のブロック毎に共通に接続されており、映像その他の表示信号を時分割で信号線に供給できる。

【 0 0 0 7 】

このような構造は例えば特開平 8 - 2 3 4 2 3 7 号公報に開示されており、上記効果に加えて駆動回路の単辺実装が容易であるなどの効果も記載されている。この文献には、走査線がブロック毎に選択されるのに対し、信号線は隣接ラインをスイッチング素子で切り替える例が記載されている。

【 0 0 0 8 】

【発明が解決しようとする課題】

しかし、上記の従来技術には、以下に説明するような問題がある。

【 0 0 0 9 】

従来のアクティブマトリクス基板においては、走査線がある画素を選択し終えて走査信号がハイからローに切り替わるとき、走査線と画素電極との間の寄生容量によって画素電極の電位を押し下げる現象が生じる。

【 0 0 1 0 】

アクティブマトリクス基板を液晶表示装置に用いる場合、液晶層に印加される電圧から直流成分を取り除いておく必要があるため、このような画素電極電位の押し下げ分をも考慮して、対向基板における対向電極の電位を調整することになる。

【 0 0 1 1 】

一方、信号線スイッチング素子を介して表示信号を信号線に供給する場合を考えると、信号線スイッチング素子の状態を選択（導通状態）から非選択（非導通状態）に切り替える際、信号線スイッチング素子の制御配線と信号線との間の寄生容量によって電位の押し下げも生じるため、この電位押し下げ分が前述の画素電極電位の押し下げ分に重畳されることになる。

【 0 0 1 2 】

以上のことから、従来は、信号線上の信号電圧に含まれるDC成分とは大きく異なる電圧を対向電極に印加する必要があった。

【 0 0 1 3 】

さらに、ICドライバに電圧耐性を持たせる必要をなくするためや、消費電力を低減させるために、信号線用ICドライバの駆動電圧範囲を低く抑える場合、信号線の極性とは逆の極性を持つ波形の信号を対向電極に与える方法が従来から採られている。この場合には前述の押し下げ成分が小さければ小さいほど、信号線駆動電圧に近い電圧で対向電極を駆動することができるが、画素スイッチング素子と信号線スイッチング素子の両方の押し下げ分を受ける場合には、信号線の駆動にかかる電圧とは大きく異なる電圧範囲で駆動せねばならず、新たな電源にて電圧生成をする必要が生じ、消費電力増大の要因となっている。

【 0 0 1 4 】

また、スイッチング素子による電位の押し下げは、そのスイッチング素子特有の寄生容量の大きさによって左右されるが、通常の製造プロセスにおいては、スイッチング素子として機能するトランジスタのゲート絶縁膜厚さや、配線／電極のサイズ（線幅）は、生産される際のロット間バラツキ、ロット内の基板間バラツキ、基板の位置によるバラツキ等の影響を受けて、表示装置ごとにばらばらである。

【 0 0 1 5 】

一方、表示媒体として機能する液晶層にDC成分が長期間印加されると、信頼性不良を生じるおそれがあるため、印加電圧を厳密に調整し、DC成分を除去することが求められる。そのため、個々の表示装置毎に、外部に設けた対向電極電圧調整用ボリュームなどを用いてDC成分を低減する調整を行なうことが必要であった。

【 0 0 1 6 】

ところが、信号線にスイッチング素子を設ける構造によると、画素用スイッチング素子と信号線スイッチング素子との双方の電位押し下げ成分が重畳されるため、液晶に印加される電圧のバラツキ幅が大きくなる。このため、可調整範囲を

充分に大きくする必要が生じ、粗調整用と微調整用の二つのボリューム設けることが必要になるなどして、部品点数の増加が招かれ、製造コストが上昇するという問題も生じている。

【0017】

さらに、電位の押し下げ分が大きくなり、調整電圧範囲が接地電位をまたぐようになると、正電位と負電位の両方の調整回路を作製する必要が生じ、さらに製造コストが上昇してしまうという問題がある。

【0018】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、画素のスイッチング素子による電位の押し上げ・押し下げと信号線のスイッチング素子による電位の押し上げ・押し下げによる影響を低減して、消費電力を抑えることができるアクティブマトリクス基板を提供することにある。

【0019】

【課題を解決するための手段】

本発明のアクティブマトリクス基板は、基板と、前記基板上に形成された複数の画素電極と、前記複数の画素電極にそれぞれ接続される画素スイッチング素子と、前記画素スイッチング素子を駆動する複数の走査線と、前記画素スイッチング素子を介して前記画素電極に接続されている複数の信号線と、前記複数の信号線のそれぞれに一端が接続されている複数の信号線スイッチング素子と、前記信号線スイッチング素子の他端に電気的に接続された信号入力部と、前記信号入力部と前記スイッチング素子との間に設けられた信号線分岐部と、前記信号線スイッチング素子に接続され、前記信号線スイッチング素子の導通・非導通を切り替える制御配線とを備えているアクティブマトリクス基板であって、前記信号線スイッチング素子を導通状態にすべき信号と、前記画素スイッチング素子を導通状態にすべき信号とは極性が異なっていることを特徴とする。

【0020】

好ましい実施形態において、前記画素スイッチング素子および前記信号線スイッチング素子は、チャンネル長が略同一である薄膜トランジスタであり、前記画素スイッチング素子のチャンネル幅と画素の静電容量との比は、前記信号線スイッ

ング素子のチャネル幅と信号線の静電容量の比と略同一である。

【0021】

好ましい実施形態において、前記画素スイッチング素子および前記信号線スイッチング素子は薄膜トランジスタであり、それらのチャネル長の方向が同一である。

【0022】

好ましい実施形態において、前記画素スイッチング素子はNチャネル型トランジスタおよびPチャネル型トランジスタのうち的一方であり、前記信号線スイッチング素子はNチャネル型トランジスタおよびPチャネル型トランジスタの他方である。

【0023】

好ましい実施形態において、前記画素スイッチング素子は、Nチャネル型トランジスタであり、前記信号線スイッチング素子は、Pチャネル型トランジスタである。

【0024】

好ましい実施形態において、前記画素スイッチング素子はNチャネル型トランジスタおよびPチャネル型トランジスタのうち的一方で構成されており、前記信号線スイッチング素子はPチャネル型トランジスタおよびNチャネル型トランジスタが並列に接続されて構成されており、前記信号線スイッチング素子において、前記Pチャネル型トランジスタおよび前記Nチャネル型トランジスタのうちの前記画素スイッチング素子と異なる極性を有するトランジスタが、他方のトランジスタよりも大きいチャネル長またはチャネル幅を有している。

【0025】

好ましい実施形態において、前記画素スイッチング素子および前記信号線スイッチング素子は、いずれも、前記基板上に堆積された半導体層をトランジスタの活性領域として有している。

【0026】

本発明のアクティブマトリクス基板は、基板と、前記基板上に形成された複数の画素電極と、前記複数の画素電極にそれぞれ接続される画素スイッチング素子

と、前記画素スイッチング素子を駆動する複数の走査線と、前記画素スイッチング素子を介して前記画素電極に接続されている複数の信号線と、前記複数の信号線のそれぞれに一端が接続されている複数の信号線スイッチング素子と、前記信号線スイッチング素子の他端に電氣的に接続された信号入力部と、前記信号入力部と前記スイッチング素子との間に設けられた信号線分岐部と、前記複数の信号線スイッチング素子に共通に接続され、前記信号線スイッチング素子の導通・非導通を切り替える制御配線とを備えているアクティブマトリクス基板であって、前記画素スイッチング素子は、Nチャネル型トランジスタおよびPチャネル型トランジスタのいずれか一方で構成されており、前記信号線スイッチング素子はNチャネル型トランジスタおよびPチャネル型トランジスタを並列に接続して構成されており、前記信号線スイッチング素子において、前記Nチャネル型トランジスタおよび前記Pチャネル型トランジスタのうちの前記画素スイッチング素子と異なる極性を有するトランジスタが、他方のトランジスタよりも大きいチャンネル長またはチャンネル幅を有していることを特徴とする。

【 0 0 2 7 】

本発明の表示装置は、上記いずれかのアクティブマトリクス基板と、前記アクティブマトリクス基板によって駆動される表示媒体とを備えていることを特徴とする。

【 0 0 2 8 】

好ましい実施形態において、前記表示媒体が液晶層である。

【 0 0 2 9 】

本発明の装置は、表示素子を有する装置であって、前記表示素子は、複数の画素が行列状に配列された基板と、前記複数の画素を駆動するための駆動回路と、前記基板上に形成され、前記画素と前記駆動回路との間の電氣的接続状態を変化させるスイッチング手段とを備え、前記スイッチング手段は、前記画素に近い側に配置された第1のスイッチング素子と、前記駆動回路に近い側に配置された第2のスイッチング素子とを有しており、前記第1のスイッチング素子を導通状態にする信号と前記第2のスイッチング素子を導通状態にする信号とは極性が異なっている。

【 0 0 3 0 】

【 発 明 の 実 施 の 形 態 】

以下、図面を参照しながら、本発明の実施形態を説明する。

【 0 0 3 1 】

(実 施 形 態 1)

図 1 は、本発明の第 1 の実施形態におけるアクティブマトリクス基板を用いた液晶表示装置の等価回路を示す図である。本実施形態では、信号線を 2 つのブロックに分けている。また、これを駆動する駆動波形を図 2 に示す。

【 0 0 3 2 】

本実施形態のアクティブマトリクス基板は、ガラスやプラスチックなどの透明絶縁性基板上に形成された複数の画素電極 A_1 、 A_2 、 B_1 、 B_2 、 C_1 、 C_2 、 D_1 、 D_2 、 \dots と、これらの画素電極にそれぞれ接続される画素スイッチング素子 6 と、画素スイッチング素子 6 を駆動する複数の走査線 g_1 、 g_2 、 \dots と、画素スイッチング素子を介して画素電極に接続される複数の信号線 a 、 b 、 c 、 d 、 e 、 f 、 \dots とを備えている。

【 0 0 3 3 】

また、本実施形態のアクティブマトリクス基板上には、上記複数の信号線のそれぞれに一端が接続されている複数の信号線スイッチング素子 SW_a 、 SW_b 、 SW_c 、 SW_d 、 \dots と、信号線スイッチング素子の他端に電気的に接続された信号入力部 s_1 、 s_2 、 s_3 、 s_4 、 \dots と、これらの信号入力部とスイッチング素子との間に設けられた信号線分岐部 7 と、複数の信号線スイッチング素子に共通に接続され、信号線スイッチング素子の導通・非導通を切り替える制御配線 SW_1 および SW_2 とが設けられている。

【 0 0 3 4 】

本実施形態では、信号線スイッチング素子 SW_a 、 SW_b 、 SW_c 、 SW_d 、 \dots を導通状態にすべき信号と、画素スイッチング素子 6 を導通状態にすべき信号とは極性が異なっていることを特徴としている。すなわち、画素スイッチングトランジスタ 6 は、N チャネル型の MOS トランジスタから構成され、これらの画素スイッチング素子 6 を導通状態にするために画素スイッチング素子 6 のゲ

ーティング部（ゲート電極）に印加される信号は、「H i g h（ハイ）」レベルである。これに対し、本実施形態における信号線スイッチング素子 S W a、S W b、S W c、S W d、・・・は、Pチャネル型のM O Sトランジスタから構成され、これらの信号線スイッチング素子を導通状態にするために信号線スイッチング素子のゲーティング部（ゲート電極）に印加される信号は、「L o w（ロー）」レベルである。

【 0 0 3 5 】

このように本実施形態では、信号線スイッチング素子 S W a、・・・を導通状態にすべき信号と、画素スイッチング素子 6 を導通状態にすべき信号とは極性が異なっているため、後に詳述するように、信号線電位が信号線スイッチング素子 S W a、・・・によって押し上げられても（または押し下げられても）、画素の電位は画素スイッチング素子 6 によって押し下げられ（または押し上げられ）ることになる。その結果、これら 2 つのスイッチング素子による電位の押し上げ・押し下げ効果が互いに相殺しあい、従来技術の問題が解決する。

【 0 0 3 6 】

次に、本発明のアクティブマトリクス基板の製造プロセスを説明する。

【 0 0 3 7 】

まず、絶縁性基板（図示せず）上に、走査線 g 1、g 2、・・・およびトランジスタのゲート電極および補助容量配線（図示せず）を形成する。このとき、信号線スイッチング素子の制御配線 S W 1、S W 2 も同時に形成する。

【 0 0 3 8 】

次に、公知の製造プロセスにより、ゲート絶縁膜、半導体層（多結晶シリコン層など）、ソースおよびドレインコンタクト層（いずれも図示せず）を形成し、画素トランジスタ 6 を形成する。このとき、同時に信号線スイッチング素子として働く信号線トランジスタ S W a、S W b、・・・も形成しておく。そして、アニールによる脱水素化やレーザアニールを施して半導体層を活性化する。本実施形態では、Nチャネル型トランジスタである画素トランジスタ 6 のソース・ドレインにはリンをドーブし、Pチャネル型トランジスタの信号線トランジスタ S W a、S W b、・・・のソース・ドレインにはホウ素をドーブする。

【 0 0 3 9 】

次に、フォトリソグラフィ技術を用いて、配線・電極とのコンタクトに必要な部分をゲート絶縁膜からエッチングした後、堆積した金属膜から信号線 a、b・
・をパターンニングする。このとき、信号線駆動回路 1 の実装用パッドや信号線分岐部 7 も形成しておく。また、画素電極 A 1、B 1、・・・は、透明導電膜から形成する。

【 0 0 4 0 】

上記アクティブマトリクス基板を用いて液晶表示装置を作製するには、まず、上記のアクティブマトリクス基板を用意する一方で、対向基板を用意する。対向基板は、例えば、ガラスなどの絶縁性基板上にカラーフィルタやブラックマトリクスなどを形成することにより作製される。対向基板の共通電極は I T O などの透明導電膜から形成される。

【 0 0 4 1 】

次に、アクティブマトリクス基板側に一部開口部（図示せず）を設けてシール剤（図示せず）を塗布する。対向基板には、対向電極への信号転移用の導電性物質を塗布する。そして、表示媒体として機能する液晶層を一定の厚みにするためのスペーサー（図示せず）を散布した後、両基板を貼りあわせ、加熱によりシール剤を硬化させる。この後、上記の開口部から液晶を注入する。最後に封止剤（図示せず）によって開口部をふさぎ、液晶表示装置の表示パネルが完成する。

【 0 0 4 2 】

次に、図 2 を参照しながら、本発明のアクティブマトリクス基板の駆動を説明する。ここでは、画面全体を黒表示するために、信号線駆動回路 1 の出力端 s 1 ～ s 4 から最大振幅の信号（+ v s、- v s）が供給されている場合を例に説明する。

【 0 0 4 3 】

走査線 g 1 が選択されている間に、信号線スイッチング素子（S W a 等）を導通させるために制御配線 S W 1 および S W 2 に対して交互に信号が送られる。まず、時刻 t 1 で、走査線 g 1 がハイになり、これに接続された画素トランジスタ（Nチャネル型 T F T）が導通状態になる。同時に S W 1 がローになり、信号線

スイッチング素子 SWa 、 SWb (Pチャネル型TFT) が導通する。これにより信号線駆動回路1からの信号 ($+v_s$) が信号線 a 、 b に供給される。走査線 g_1 が選択されているため、この間に画素 A_1 、 B_1 にはその電位 ($+v_s$) が書き込まれる。このとき SW_2 は選択されていないため信号線 c 、 d には信号は供給されず、画素電極 C_1 、 D_1 にはそのときの信号線の状態が書き込まれる。次に時刻 t_2 に SW_1 がハイになり SWa 、 SWb が非導通になるため、信号線 a 、 b は保持の状態となる。このとき、信号線スイッチング素子 SWa 、 SWb の寄生容量により、選択から非選択に変わる瞬間に信号線電位の押し上げが発生し、信号線 a 、 b は $+v_s$ よりも高い $+v_{s'}$ に変わる。そして SW_2 がローになり、信号線スイッチング素子 SWc 、 SWd が導通状態となると、信号線駆動回路1からの信号が信号線 c 、 d に供給され、同様に画素電極 C_1 、 D_1 には、その電位 ($+v_s$) が書き込まれる。

【0044】

時刻 t_3 で SW_2 がハイになり SWc 、 SWd が非導通となった後には、信号線 c 、 d は信号線 a 、 b と同様に $+v_{s'}$ に押し上げられる。そして、その後も画素スイッチング素子6は導通状態にあるため、画素電極 $A_1 \sim D_1$ には $+v_{s'}$ が書き込まれる。

【0045】

時刻 t_4 に走査線 g_1 がローになると、画素スイッチング素子6が非導通になる。このとき、画素スイッチング素子6の寄生容量により、導通から非導通に変わる瞬間に画素電極電位の押し下げが発生し、画素電極 $A_1 \sim D_1$ は $+v_{s'}$ より低い $+v_{s''}$ に変わる。したがって、画素スイッチング素子6が非導通になって液晶の保持電圧が確定する時刻 t_4 以降、次の書き込みタイミングである時刻 t_5 までの間は、液晶には $v_{s''} - v_c$ (ここで v_c はこのときの対向電極の電位) が印加されることになる。ここで

$$v_{s'} - v_{s'} = \Delta v_{gd} \text{ (画素トランジスタによる電位押し下げ量)}$$

$$v_{s''} - v_{s'} = \Delta v_{sw} \text{ (信号線トランジスタによる電位押し下げ量)}$$

とすると、保持期間の液晶印加電圧は、

$$v_{s''} - v_c = v_s - v_c + \Delta v_{sw} - \Delta v_{gd}$$

となる。同様に計算すると、次のフレーム、すなわち時刻 t_5 から始まるマイナス書き込みのフレームにおいては、

$$-v_s + v_c + \Delta v_{sw} - \Delta v_{gd}$$

が液晶に印加される。すなわち、液晶には本来印加したい電圧に対して、 $\Delta v_{sw} - \Delta v_{gd}$ だけオフセットした電圧が印加されることになる。したがって、前述の対向調整回路によって、信号線または対向電極に対し、このオフセット分の DC 値を重畳して、液晶に DC 電圧が印加されることを防止する必要がある。逆にいえば、 $\Delta v_{sw} = \Delta v_{gd}$ となるようにアクティブマトリクス基板が設計されている場合、設計通りに生産できたときにはオフセットの重畳は必要なく、対向電極の DC 値と信号線の DC 値が一致することになる。このときには、信号線または対向電極の一方のために用意した電源の範囲内に他方の電圧範囲が含まれることになるので、電圧は別々に用意する必要がなく、消費電力の低減には有利である。また、 Δv_{sw} と Δv_{gd} が等しくない場合でも、従来のような双方のスイッチング素子が同一チャネルである構造と比べると、オフセット量は非常に小さく抑えられる。それは、従来構造では画素スイッチング素子も信号線スイッチング素子も画素電極に対して同極性に押し下げ効果を発揮し、その和 $\Delta v_{sw} + \Delta v_{gd}$ がオフセット量として作用するためである。

【0046】

なお、一般に、 Δv_c および Δs は次の式で表される。

【0047】

$$\Delta v_{gd} = C_{gd} / C_{pix} \times V_{gpp}$$

$$\Delta v_{sw} = C_{sws} / C_s \times V_{swpp}$$

C_{gd} : 画素スイッチング素子のゲート-画素間寄生容量

C_{pix} : 画素のトータル容量

V_{gpp} : 走査線の信号のハイロー電圧差

C_{sws} : 信号線スイッチング素子の制御電極-信号線間寄生容量

C_s : 信号線のトータル容量

V_{swpp} : 制御配線の信号のハイロー電圧差

製造プロセス条件の変動などによって、基板上に形成するゲート絶縁膜の厚さ

が変動したり、トランジスタのゲート電極幅やゲートドレイン電極の重なり量
が変動した場合、 C_{gd} や C_{sws} は大きく変化してしまう。これらの変動を実
際の製造プロセスから完全に排除することは不可能であるため、従来、表示パネ
ル毎に対向電極のDCレベルを調整する必要があった。

【0048】

しかしながら、 $\Delta v_{sw} = \Delta v_{gd}$ とするためには、 C_{gd}/C_{pix} と C_{sws}/C_s
とを同一にする必要がある。今、キャリア移動度（電界効果移動度）
がPチャネル型トランジスタとNチャネル型トランジスタとで同一であると仮定
する。この場合において、トランジスタのチャネル長として製造プロセスの最小
ルールを適用し、 C_{gd} と C_{sws} を最小化する設計を行なうと、信号線または
画素電極に所定の電圧を印加する能力（電荷充電率）は、チャネル幅と負荷容量
の比率によって定まる。

【0049】

上記の比率を、信号線スイッチング素子と画素スイッチング素子との間で略等
しくすると、寄生容量と負荷容量の比率も略等しくなる。すなわち、 C_{gd}/C_{pix}
と C_{sws}/C_s とが同一となる。

【0050】

スイッチング素子の構成は、相互にチャネル幅が異なる点を除けば、ほとんど
同じであるため、ゲート絶縁膜の厚さの変動やパターンのシフト方向およびシフ
ト量については、各スイッチング素子で同様に引き起こされ、その影響も等しく
生じる。すなわち、プロセスパラメータの変動が生じて、 C_{gd}/C_{pix}
 $= C_{sws}/C_s$ の関係が保たれる結果、 $\Delta v_{sw} = \Delta v_{gd}$ が維持される。

【0051】

一方、Pチャネル型トランジスタとNチャネル型トランジスタの間でキャリア
の移動度が異なる場合にも、上述の効果に近い効果を得るため、信号線スイッ
チング素子のチャネル幅と信号線容量の比率、および、画素スイッチング素子の
チャネル幅と画素容量の比率を、それぞれ、略一定にすることが望ましい。Pチャ
ネル型トランジスタとNチャネル型トランジスタの間でキャリアの移動度が異な
る場合には、いずれかの導電型のトランジスタの充電能力が他方に比較して優っ

ていることになる。このような場合には、画素電極および信号線のうち相対的に高い充電能力を求められる側に、充電能力が優れたトランジスタに割り当てればよい。

【 0 0 5 2 】

さらに、画素スイッチング素子と信号線スイッチング素子のチャネル長の方向を同一にすることによって、製造工程においてある特定方向のパターンシフトやずれが発生した場合にも、画素スイッチング素子による画素電極の押し下げ量と、信号線スイッチング素子による信号線の押し下げ量の双方の変化量がほぼ同じになるため、 $C_{gd}/C_{pix} = C_{sws}/C_s$ が保たれ、信号線と共通線の信号の DC レベルに差が生じないという、上記の効果が保たれる。これを、図 3 を参照しながら、より詳細に説明する。

【 0 0 5 3 】

図 3 は、画素スイッチング素子の平面図である。図 3 において、11 は画素スイッチング素子である薄膜トランジスタのゲート電極、12 は走査線、13 は信号線である。ゲートー画素間規制容量 C_{gd} は画素電極 14 とゲート電極 11 との重なり面積で定まる。ただし、 ΔV_{gd} はトランジスタがオンからオフになる瞬間に発生するため、チャネルの一部も電極化しているとみなす必要があり、重なり部は実際に画素電極が存在する長さ L_x よりもチャネル部に延長して考えなければならない。本願発明者がその延長分を実験的に求めたところ、 C_{gd} に寄与する面積は、およそ $W \times (L_x + L/2)$ であった。次に、図 3 (b) に示すように信号線のパターンが走査線に対してチャネル長方向に ΔL_x だけずれた場合、 C_{gd} に寄与する面積はおよそ $W \times (L_x + \Delta L_x + L/2)$ となり、ずれによる増加分は $1 + \Delta L_x / (L_x + L/2)$ 倍となる。すなわち、 Δv_{gd} も $1 + \Delta L_x / (L_x + L/2)$ 倍になることになる。

【 0 0 5 4 】

L は、前述のように、製造プロセスの許容する最小ルールで設定され、 L_x もその製造プロセスにおけるずれ量の最大値を示すときにもゲート電極を踏み外すことのないように設定される一定値である。このため、これらは画素スイッチング素子についても信号線スイッチング素子についても同一の大きさである。した

がって、これらのトランジスタのチャネル長方向が同一であれば、 Δv_{gd} と Δv_{sw} は、 ΔL_x に応じて同じ割合で増加することになり、 $\Delta v_{gd} = \Delta v_{sw}$ が維持されることになる。

【0055】

このように、本実施形態によれば、画素のスイッチング素子による電位の押し上げ・押し下げと信号線のスイッチング素子による電位の押し下げ・押し上げによる影響が相殺され、消費電力を抑えた駆動が実現する。このようなアクティブマトリクス基板を用いれば、少ない部品点数で優れた表示を実現する表示装置が提供され、種々の装置の表示部に利用することができる。

【0056】

なお、本実施形態で用いる各信号線スイッチング素子は、単一のトランジスタ(TFT)から構成されているが、信号線スイッチング素子は、複数のトランジスタを含むスイッチング回路から構成されていても良い。

【0057】

また、本実施形態では、絶縁性基板を用いてアクティブマトリクス基板を作製しているが、本発明はこれに限定されない。シリコン基板等の半導体基板を用いても良い。

【0058】

(実施形態2)

上記の実施形態1においては、駆動回路がドライバICの外付けによって実現されているが、本発明は、走査線の駆動回路および／または信号線の駆動回路が基板上にモノリシック化されている場合にも適用される。

【0059】

以下、図4を参照しながら、駆動回路が基板上にモノリシック化されている実施形態を説明する。

【0060】

図4は、代表的なアナログドライバの構成を示す回路図である。図4の構成では、複数の信号線のそれぞれに一端が接続されている複数の信号線スイッチング素子と、信号線スイッチング素子(SW a、SW b、SW c、SW d、…)の他

端に接続された信号入力部 1 6 と、信号入力部 1 6 とスイッチング素子との間に設けられた信号線分岐部とが同一基板上に形成されている。

【 0 0 6 1 】

信号線スイッチング素子に接続され、信号線スイッチング素子の導通・非導通を切り替える制御配線はシフトレジスタ 1 5 に接続されている。

【 0 0 6 2 】

また、前述の実施形態と同様に、信号線スイッチング素子（SW a、SW b、SW c、SW d、・・・）を導通状態にすべき信号と画素スイッチング素子を導通状態にすべき信号との間で極性が異なるように、信号線スイッチング素子（SW a、SW b、SW c、SW d、・・・）の導電型は画素トランジスタの導電型とは反対である。

【 0 0 6 3 】

このような駆動回路によれば、信号入力部から時系列的に信号供給線 1 6 に与えられた信号が、スイッチング素子（SW a、SW b、SW c、SW d、・・・）によって選択された信号線に供給される。すなわち、シフトレジスタ 1 5 により作成される選択信号によって信号線スイッチング素子が順次選択される間に、信号供給線 1 6 に映像信号が時系列的に供給され、これがスイッチング素子を介して信号線（a、b、・・・）に順次与えられる。この動作が走査線 1 ライン分にわたるまで行われ、その間、ある走査線が選択状態にあるので、画素への信号供給としては点順次の駆動となる。

【 0 0 6 4 】

前述と同様に、スイッチング時の押し上げ／押し下げが発生するが、導電型の異なるトランジスタをスイッチング素子で使い分けているため、前述の実施形態と同様の効果が得られる。

【 0 0 6 5 】

なお、図 4 の駆動回路は必ずしもモノリシック構造を有している必要はなく、ドライバ IC によって実現しても良い。しかしながら、従来のドライバ IC によれば、シリコンプロセスによって作製されるトランジスタの特性が良好であるため、最終段のスイッチング素子も小型化でき、電位の押し上げ・押し下げの程度

は問題にならないほど小さくなる。そのため、ドライバICによって図4の回路を構成する場合は、本発明を採用する必要性が小さいといえる。これに対し、モノリシック化されたドライバを用いる場合は、薄膜プロセスでトランジスタを基板上に作製する必要があるため、スイッチング素子内の電荷移動度が小さくなり、微細加工精度の観点からスイッチング素子を小型化することも難しい。その結果、画素電極電位の押し上げ・押し下げを無視することができなくなる。したがって、モノリシック化されたドライバを用いる場合において、特に、本発明による効果が顕著に得られる。

【 0 0 6 6 】

(実施形態3)

図5を参照しながら、駆動回路の一部がモノリシック化された実施形態を説明する。図4の例では、完全にモノリシック化された駆動回路で信号線を駆動するため、動作速度や信号精度の面で、要求されるスペックを満足しきれない場合がある。これに対して、図5の実施形態では、ブロックごとに選択される信号線スイッチング素子SWa、SWb、SWc、SWd、・・・と、これらの信号線スイッチング素子に対する制御信号を生成・供給するシフトレジスタ15とが同一基板上に形成されている。そして、より高速に動作するシフトレジスタ19、サンプルホールド回路18、DA変換部17、および、クロックやスタートパルスなどを発生する制御部20などを含む外付け駆動回路21によって実現されている。

【 0 0 6 7 】

このように本実施形態例では、駆動回路が、外付けされるドライバIC部分とモノリシック化された駆動回路部分の双方を含み、両者の中間的な形態を有している。

【 0 0 6 8 】

このような構造によれば、駆動回路の一部がモノリシック化されているため、その形成には本来的にCMOSプロセスが採用される場合が多い。そのため、本発明を適用して、信号線スイッチング素子および画素スイッチング素子の一方をNチャネル型トランジスタから構成し、他方をPチャネル型トランジスタから形

成する場合でも、それによって製造プロセスの工程数が特別に増加するという問題は生じない。

【0069】

(実施形態4)

図6(a)および(b)を参照しながら、本発明の更に他の実施形態を説明する。

【0070】

図4の実施形態では、点順次で画素が駆動される。点順次駆動の場合において画面左右での画素駆動のタイミング差から生じる表示品位の差を低減するとともに、画素電極への書き込み時間を有効に利用するため、いわゆる線順次駆動も広く採用されている。線順次駆動によれば、ある走査線が選択されている期間にその走査線に割り当てられている全ての画素電極に対して一斉に信号電荷が与えられる。

【0071】

図6(a)に示す駆動回路では、線順次駆動が実行される。図6(a)に示す駆動回路によれば、まず、データ保持用コンデンサ22にデータが一時的に保持され、スイッチング素子(スイッチ)23がオンになることにより、同時に複数の信号線に対して信号が与えられる。スイッチング素子23としてCMOS回路を用いる場合、例えば図6(b)の右側に示すような構造のCMOS回路が用いられる。すなわち、CMOS回路は、Pチャネル型トランジスタとNチャネル型トランジスタとが並列に接続された回路要素を1つの単位として構成される。両トランジスタには、極性が反対の制御信号が入力され、双方のトランジスタが同時にオン/オフする。このため、スイッチング前後における電位の押し上げ・押し下げが相殺される。

【0072】

本発明では、画素スイッチング素子と信号線スイッチング素子の押し上げ・押し下げが互いに逆方向となり、しかも、画素への書き込みを1回行なう毎に、押し上げ・押し下げによる影響を相殺することが重要である。このため、図6(a)にスイッチング素子23は、NチャネルトランジスタまたはPチャネルトラン

ジスタのいずれか一方によって構成されるか、または、非対称な特性を示すCMOS回路によって構成されることが望ましい。非対称な特性を示すCMOS回路とは、例えば画素スイッチング素子がNチャネルトランジスタである場合、信号線スイッチング素子23のCMOS回路では、Pチャネル型トランジスタのチャネル幅またはチャネル長を、Nチャネル型トランジスタのチャネル幅またはチャネル長よりも充分に大きくすればよい。

【0073】

【発明の効果】

本発明によれば、信号線の電位が信号線スイッチング素子によって押し上げられ（または押し下げられ）る一方で、画素電極の電位は画素スイッチング素子によって押し下げられ（または押し上げられ）る。このため、これら2つのスイッチング素子による電位の押し上げ・押し下げ効果が互いに相殺され、対向電極と信号線の信号のDCレベルが大きくかけ離れることはなくなる。したがって、新たな電圧生成にかかる電力の余分な消費を抑えることができる。

【0074】

また、画素スイッチング素子および信号線スイッチング素子を薄膜トランジスタから構成し、画素スイッチング素子のチャネル幅と画素の静電容量との比を、信号線スイッチング素子のチャネル幅と信号線の静電容量との比と略同一にすると、画素スイッチング素子による画素電極の電位の押し下げ量（または押し上げ量）と、信号線スイッチング素子による信号線電位の押し上げ量（または押し下げ量）がほぼ同じになる。この結果、信号線と対向電極の信号のDCレベルがほぼ一致するため、同一の電源で駆動することができ、電圧形成ロスを省くことができる。また、アクティブマトリクス基板毎に生じ得る電位押し下げ量のバラツキを個々に調整する必要がなくなり、部品点数や調整にかかる労力を省くことができ、製造コストダウンを図ることができる。

【0075】

さらに、画素スイッチング素子を構成する薄膜トランジスタと、信号線スイッチング素子を構成する薄膜トランジスタとでチャネル長の方向を同一とすることにより、製造工程途中でパターンシフトやアライメントずれが発生した場合にお

いても、画素スイッチング素子による画素電極電位の押し下げ量（または押し上げ量）と、信号線スイッチング素子による信号線電位の押し上げ量（または押し下げ量）の双方の変化量をほぼ同じにすることができる。このため、信号線と対向電極の信号のDCレベルに差が生じず、調整の手間や部品点数の増加を防ぐことができる。

【図面の簡単な説明】

【図 1】

本発明のアクティブマトリクス基板を用いた液晶表示装置の等価回路を表す図である。

【図 2】

図1の液晶表示装置の駆動状態を表す信号波形図である。

【図 3】

本発明のアクティブマトリクス基板を製造する際にパターンシフトが起きた場合を説明する図である。

【図 4】

モノリシック化された駆動回路の一例を示す図である。

【図 5】

一部がモノリシック化された駆動回路の例を示す図である。

【図 6】

一部がモノリシック化された駆動回路の他の例を示す図である。

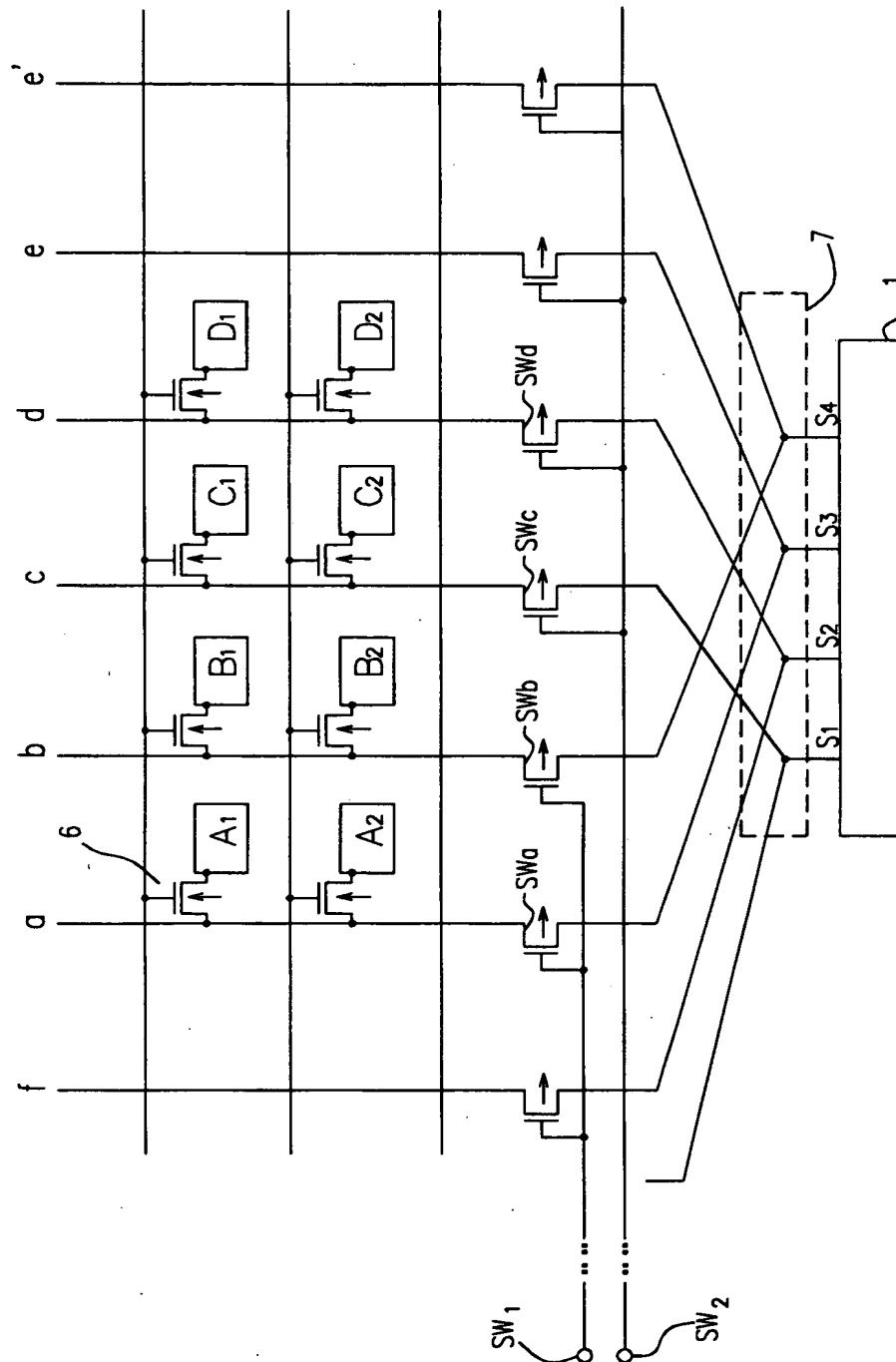
【符号の説明】

- 1 信号入力部
- 6 画素トランジスタ
- 7 信号線分岐部
- a、b、c、d、e、f 信号線
- g 1、g 2 走査線
- SW 1、SW 2 制御配線
- SW a、SW b、SW c、SW d 信号線トランジスタ
- A 1、A 2、B 1、B 2、C 1、C 2、D 1、D 2 画素電極

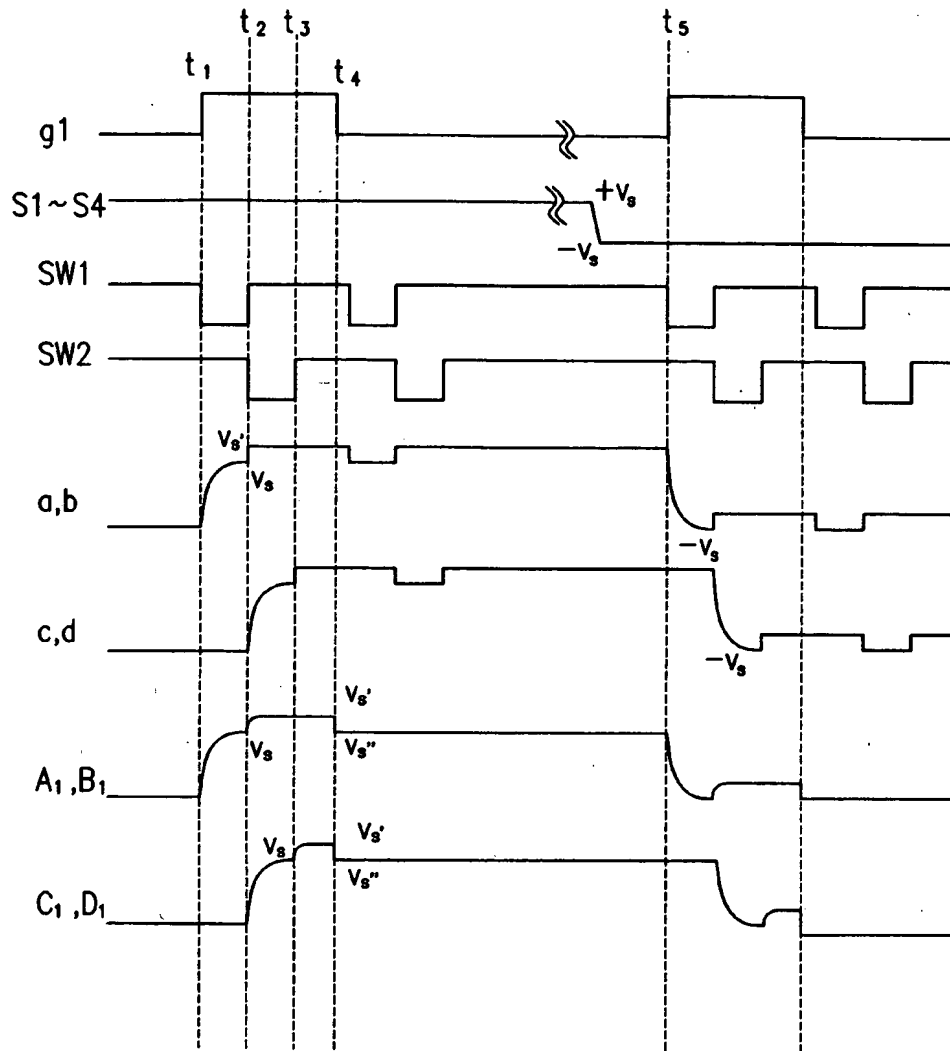
【書類名】

図面

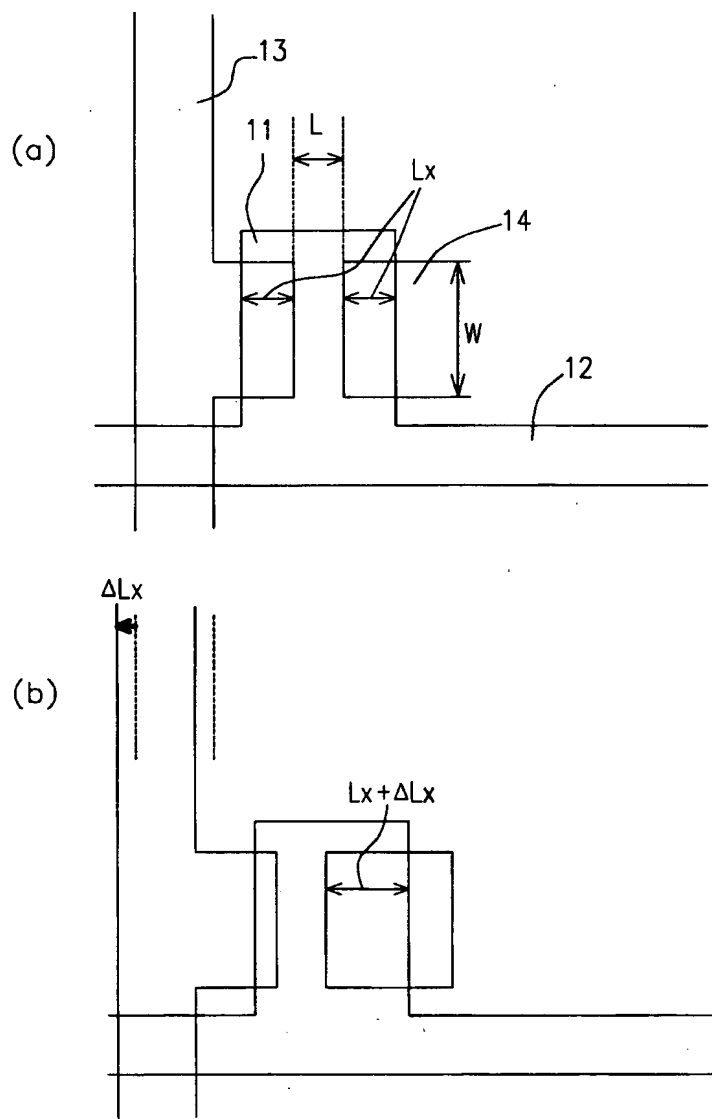
【図 1】



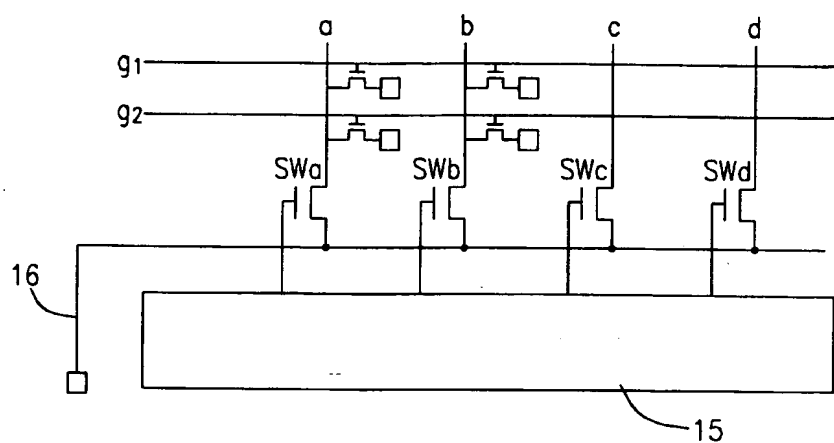
【図 2】



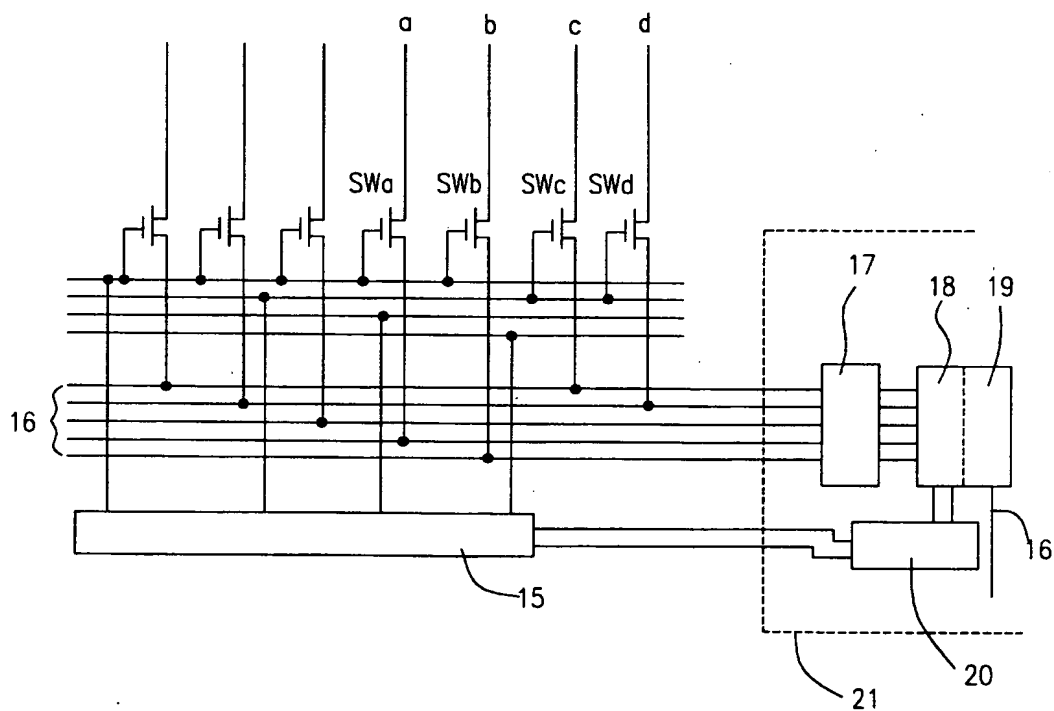
【図 3】



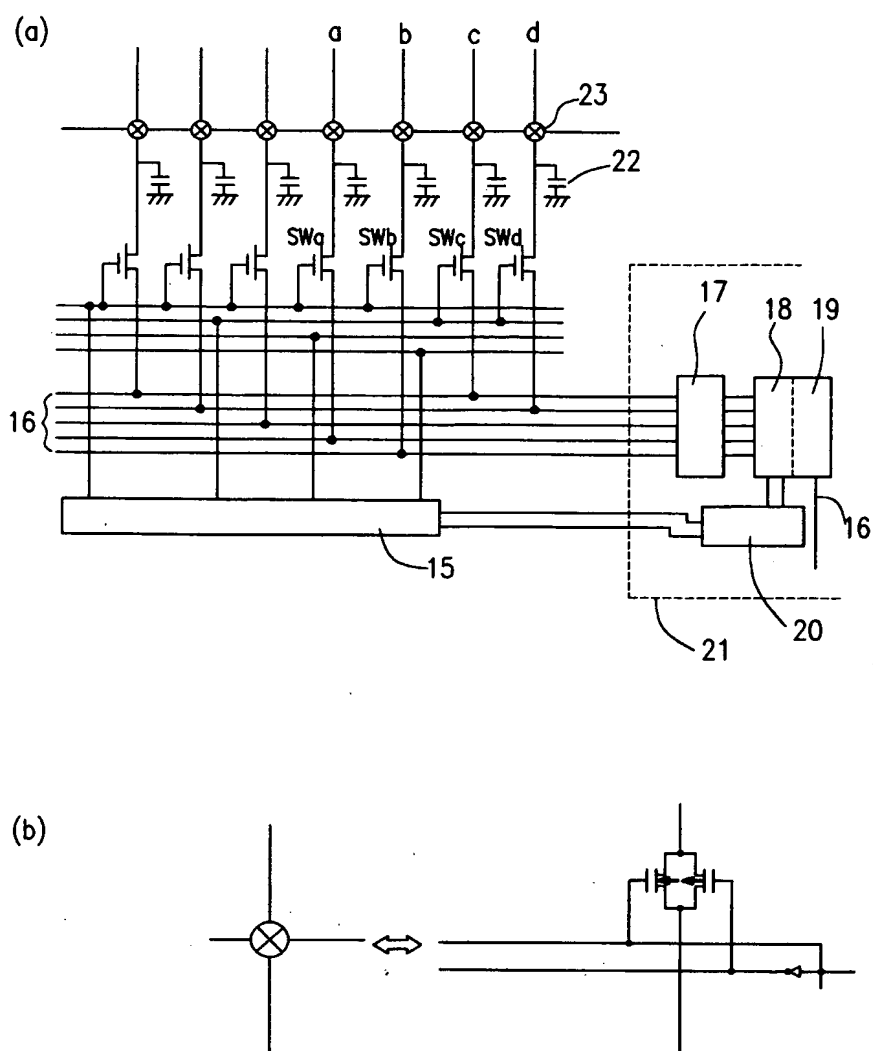
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 画素スイッチング素子および信号線スイッチング素子の導通・非導通時の電位の変動による影響を抑える。

【解決手段】 アクティブマトリクス基板は、基板上に形成された複数の画素電極 A 1、A 2、・・・、複数の画素電極にそれぞれ接続される画素スイッチング素子 6、画素スイッチング素子 6 を駆動する複数の走査線 g 1、g 2、・・・、および複数の信号線 a、b、・・・を有している。信号線はブロック化されており、各信号線は信号線スイッチング素子 S W a、S w b、・・・および信号線分岐部 7 を介して信号入力部 1 と接続されている。信号線スイッチング素子の導通・非導通を制御する信号は、信号線スイッチング素子に共通に接続されている制御配線 S W 1、S W 2 を通して与えられる。信号線スイッチング素子を導通状態にするための信号として、画素スイッチング素子を導通状態にするための信号とは異なる極性を有する信号が与えられる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社